

|  |  |
| --- | --- |
|  |  |
| **R E P O R T** | |
|  |  |

제목: 인코더, 디코더 / 이진 곱셈기

과목: 디지털 공학 기초 및 실습

날짜(년/월/일): 2017/12/05

소속 학과: 컴퓨터 전자 시스템 공학부

학번: 201702234

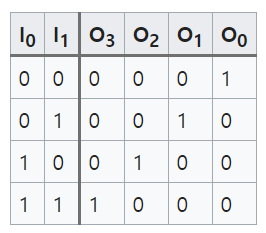
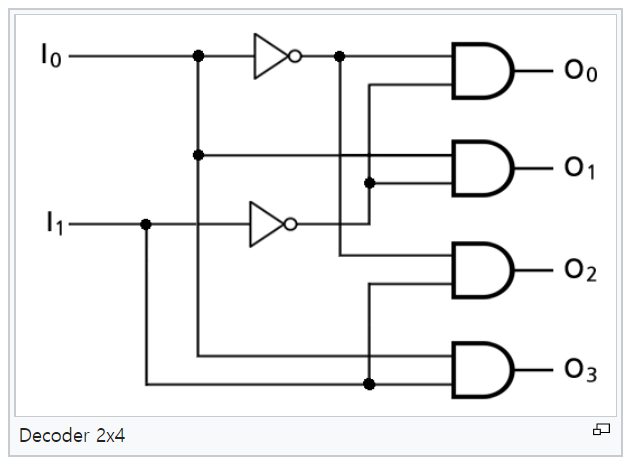
이름: 유동혁

|  |
| --- |
| **본 보고서의 내용 중 다른 문서(자료)를 인용한 것이 있습니까?**  **예( ) 아니오( )** |
| **위에서 ‘예’로 답한 경우, 인용한 다른 문서는 무엇인지 아래에**  **명시해 주세요. (여러 개의 경우 주요 자료 2개 까지)**  **- 저자 1:**  **- 제목 1:**  **- 저자 2:**  **- 제목 2:** |

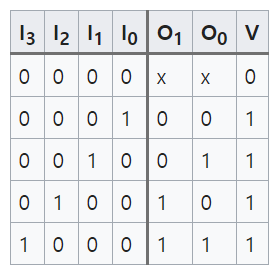
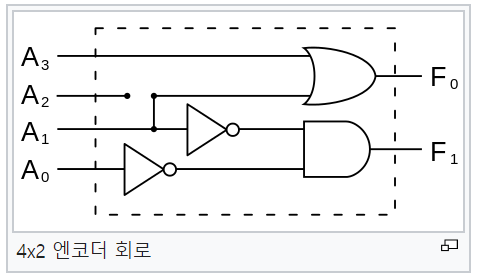
디지털 공학 기초 및 실습 (예비 레포트)

학번: 201702234 이름: 유동혁

1. 제목: 인코더, 디코더 (12 주차)
2. 목적: 인코더, 디코더에 대해 조사한다.
3. 내용: 디코더: n개의 2진 코드 값을 입력으로 받아들여 2^n개 이하의 서로 다른 정보로 바꿔 주는 조합 회로를 말한다. 어떠한 입력 값에 대해 한 출력선이 나머지 출력선과 다른 값을 가진다.



인코더: 디코더와 반대되는 기능을 수행한다. 각 입력마다 출력되는 값이 다르다. 이러한 인코더는 어느 한 입력으로만 1이 들어오는 경우를 제외한 나머지 경우는 발생하지 않는다는 가정에서 설계된 것이다.



//출처:

<https://ko.wikipedia.org/wiki/%EB%B6%80%ED%98%B8%ED%99%94>

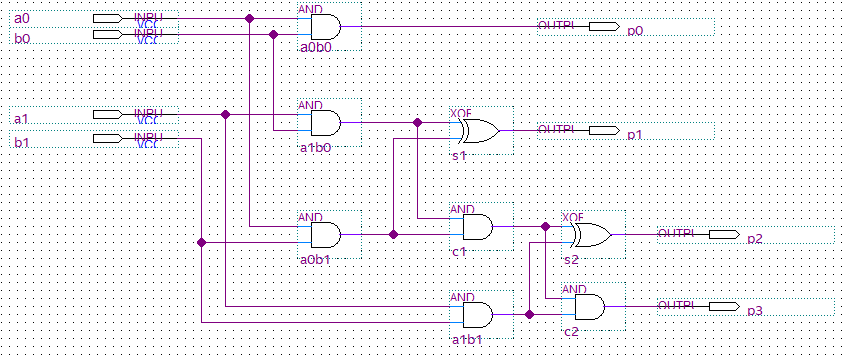
<https://ko.wikipedia.org/wiki/%EB%B3%B5%ED%98%B8%ED%99%94>

디지털 공학 기초 및 실습 (결과 레포트)

학번: 201702234 이름: 유동혁

1. 제목: 이진 곱셈기 (12 주차)
2. 목적: 반가산기를 이용해서 이진 곱셈기를 블록 다이어그램과 VHDL코드를 통해 구성한다
3. 내용:

이진 곱셈기의 회로도는 다음과 같다.

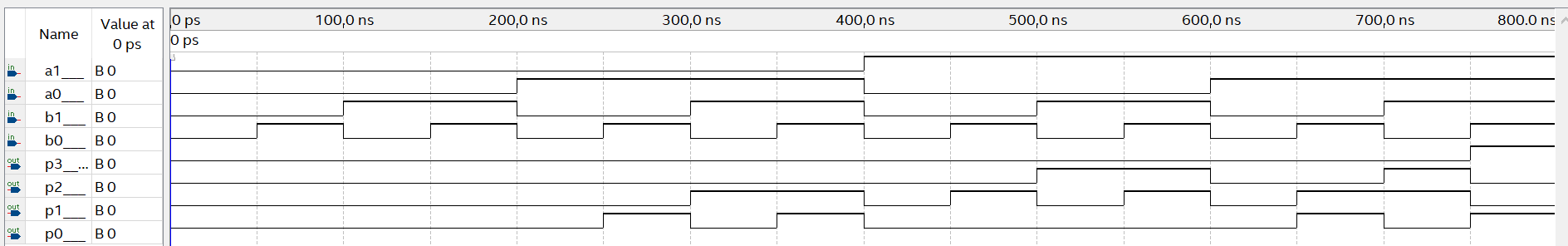


이진 곱셈기의 VHDL코드는 다음과 같다.

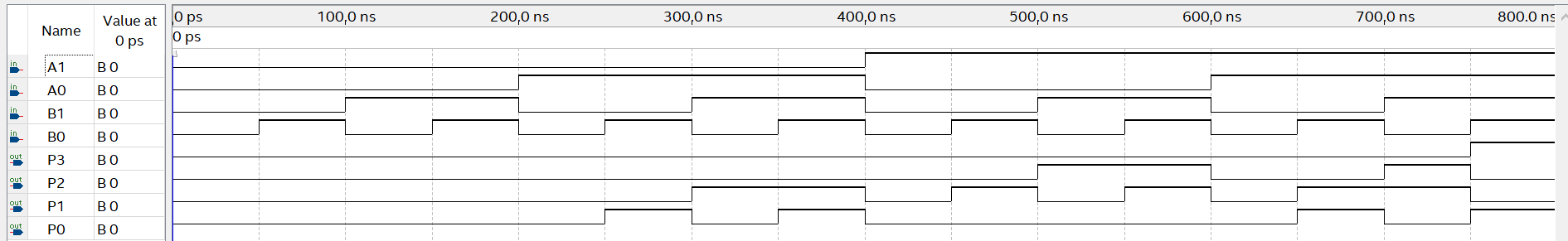
|  |
| --- |
| LIBRARY ieee; USE ieee.std\_logic\_1164.all;  ENTITY BinaryMulti\_VHDL IS  PORT (A1, A0, B1, B0 : IN std\_logic; P3, P2, P1, P0 : OUT std\_logic);  END BinaryMulti\_VHDL;    ARCHITECTURE BinaryMulti\_VHDL\_body of BinaryMulti\_VHDL IS  BEGIN  P0 <= A0 AND B0;  P1 <= (A1 AND B0) XOR (A0 AND B1);--p1 = s1  P2 <= ((A1 AND B0) AND (A0 AND B1)) XOR (A1 AND B1);--p2 = s2 = c1 xor (a1 and b1)  P3 <= ((A1 AND B0) AND (A0 AND B1)) AND (A1 AND B1);--p3 = c2  END BinaryMulti\_VHDL\_body; |

1. 결과:

이진 곱셈기의 회로도의 파형은 다음과 같다.



이진 곱셈기의 VHDL 코드의 파형은 다음과 같다.



1. 느낀 점:

반가산기를 이용해 이진 곱셈기를 구성하였다.